

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-183586

(43)Date of publication of application : 23.07.1993

(51)Int.Cl.

H04L 13/08  
H04L 7/00  
H04L 7/033

(21)Application number : 04-001022

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.01.1992

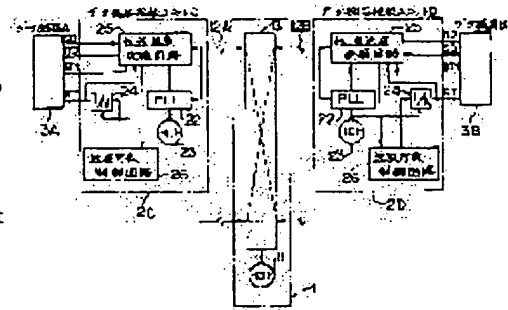
(72)Inventor : NAKAMURA MASUICHI

## (54) DATA DEVICE CONNECTION UNIT

## (57)Abstract:

PURPOSE: To attain the data communication service without error by eliminating deficiency or excess of a data signal depending on the difference of a clock source between a transmission line network and a data device.

CONSTITUTION: In data device connection units 2 arranged opposite to a transmission line network through which data are sent while the data are divided into blocks of a prescribed length, a speed variable speed circuit 26 monitors the storage quantity of outgoing data block in a transmission speed conversion circuit (buffer memory) 25 and controls variably a frequency division ratio of a frequency divider 24 so that the frequency of a timing clock (RT) of reception data (RD) is higher than a frequency corresponding to the nominal transmission speed of the data unit 2 connecting to its own unit when the storage quantity of the data blocks exceeds a reference quantity and controls variably the frequency division ratio of the frequency divider 24 so that the frequency of the timing clock (RT) of reception data (RD) is smaller than the frequency corresponding to the nominal transmission speed of the data unit 2 connecting to its own unit when the storage quantity of the data blocks are less than the reference quantity.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-183586

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.<sup>5</sup>

H 0 4 L 13/08

7/00

7/033

識別記号

庁内整理番号

8020-5K

G 7928-5K

7928-5K

F I

H 0 4 L 7/ 02

技術表示箇所

B

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平4-1022

(22)出願日 平成4年(1992)1月7日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中村 升一

東京都日野市旭が丘3丁目1番地の1 株

式会社東芝日野工場内

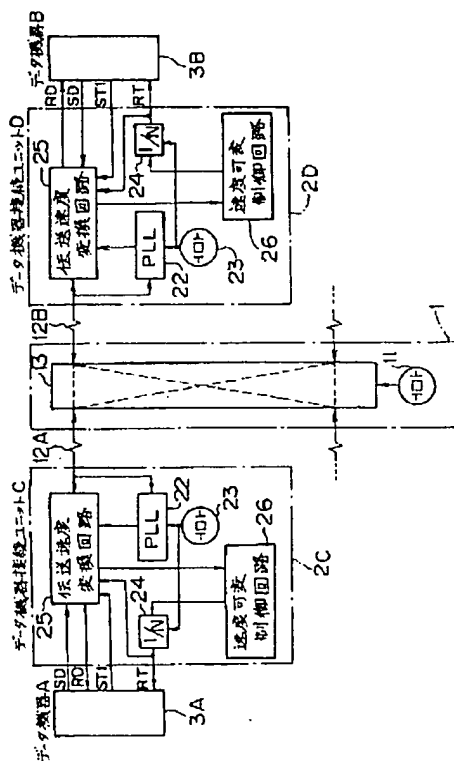
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 データ機器接続ユニット

(57)【要約】

【目的】 伝送路網とデータ機器のクロック源の違いによるデータ信号の過不足を無くし、誤りの無いデータ通信サービスを可能とする。

【構成】 一定長のデータブロック単位に区切ってデータ伝送を行う伝送路網に対向して配置したデータ機器接続ユニット2において、速度可変回路26は、伝送速度変換回路(バッファメモリ)25における下りデータブロックの蓄積量を監視し、このデータブロックの蓄積量が基準量を越した場合には、受信データ(RD)のタイミングクロック(RT)の周波数が、自ユニットに接続されているデータ機器2の公称伝送速度対応の同波数より速くなるように分周器24の分周比を可変制御し、他方、基準量を下回った場合には前記公称伝送速度対応の周波数より遅くなるように分周器24の分周比を可変制御する。



## 【特許請求の範囲】

【請求項1】 デジタル化された伝送路網とデータ機器との間に介在されて、両者間のインタフェースとして機能するデータ機器接続ユニットにおいて、

システムクロック源を持つ網からの下りデータ信号から該網への上りデータ信号の送信タイミングクロックを抽出する送信タイミングクロック抽出手段と、

接続されているデータ機器のデータ伝送速度と網の伝送速度との速度変換を行う伝送速度変換手段と、

自ユニット内のクロック源の出力を分周し、接続されているデータ機器の公称伝送速度の下りデータ信号受信タイミングクロックを作成すると共に、該受信タイミングクロックを前記公称伝送速度より僅かに早いもしくは遅いクロック周波数に可変する機能を有する受信タイミングクロック作成手段と、

前記伝送速度変換手段内における下りデータ信号の蓄積量に応じて前記受信タイミングクロック作成手段の受信タイミングクロックを前記送信タイミングクロックに同期した周波数に可変制御する伝送速度可変制御手段とを具備することを特徴とするデータ機器接続ユニット。

【請求項2】 網を介して対向するデータ機器接続ユニット間のデータ伝送を一定長のデータブロック単位に区切って行う伝送路網に収容され、前記伝送速度可変手段は、前記受信タイミングクロックの周波数を、前記伝送速度変換手段内における前記データブロックの蓄積量が基準量を越した場合には前記公称伝送速度対応の周波数より速く設定し、基準量を下回った場合には前記公称伝送速度対応の周波数より遅く設定するように前記受信タイミングクロック作成手段のクロック源出力の分周比を可変制御することを特徴とする請求項1記載のデータ機器接続ユニット。

【請求項3】 伝送路網は、HDL Cフレーム伝送手順またはBSC同期フレーム伝送手順を用いる網であることを特徴とする請求項1または2記載のデータ機器接続ユニット。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、デジタル化された伝送路網において、網とは独立したクロック源に同期してデータ送信をおこなうデータ機器を接続する為に、下りタイミング回路周波数偏差調整機能を有したデータ機器接続ユニットに関する。

## 【0002】

【従来の技術】 デジタル化された伝送路網にデータ機器を接続する場合の従来システムの一例を図4に示す。一般に、この種のシステムにおいては、網全体の同期をとるためのクロック源は伝送路網内に設けられており、このクロック源をタイミング信号としてシステム全体が動作するようになっている。図4の例では、クロック源11は交換機1内に設けられている。

【0003】 伝送線12A、12B、…には、データ機器接続ユニット2A、2B、…が接続されている。このデータ機器接続ユニット2A、2Bには、それぞれデータ機3A、3Bが接続されている。

【0004】 交換機1では、必要に応じてスイッチ13にて接続先を切り替えることにより、伝送線12A、12B…を互いに選択的に接続するようになされている。

【0005】 図4においては、データ機器3Aからデータ機器3Bへデータ伝送をする場合が示されている。ここで、データ機器接続ユニット2A、2Bとしては同じものが使用されており、それらの内部構成は以下のようになっている。

【0006】 速度変換回路21ではデータ機器3A、3Bのデータ伝送速度と伝送線12A、12B上のデータ伝送速度との速度変換を行っている。

【0007】 伝送線12A、12B上の方が伝送速度は速く、一般的に、データ機器3A、3Bの伝送速度は19.2kbps以下であるのに対して、伝送線12A、12B上の伝送速度は48kbps、64kbpsおよびこれらの整数倍である。伝送線12A、12B上において、速度変換により生じた空データエリアには、同期パターン等が伝送されている。

【0008】 PLL回路22では、伝送線12A、12B上の交換機1からの下りデータ信号から伝送線12A、12B上の伝送クロックを抽出しており、この伝送クロックはクロック源11に同期している。

【0009】 この抽出した伝送クロック(48kHz、64kHzの整数倍)と発振器23のクロックを分周器24にてN分周することにより得られたデータ機器2A、2Bのための下りデータ信号タイミングクロック(RT)とにより速度変換回路21が動作するようになっている。

【0010】 発振器23はPLL回路動作のためのクロック源であり、N分周はクロック源11と発振器23の発振周波数偏差とを調整するするためにPLL回路22により時々(N±1)分周に可変されている。

【0011】 ここで、速度変換回路21としては、例えばCITT勧告V.110による時分割多重方式の回路が挙げられる。

【0012】 データ機器3Aからの送信データ(SD)は、データ機器接続ユニット2A内の速度変換回路21、伝送線12A、スイッチ13、伝送線12B、データ機器接続ユニット内の速度変換回路21を介してデータ機器3Bの受信データ(RD)として伝えられる。逆方向のデータ伝送も同様である。

【0013】 データ機器3A、3Bへの下りデータ信号のタイミングクロック(RT)は、いずれもクロック源11に同期した伝送線12A、12Bの伝送クロックからPLL回路22にて作成された従属同期クロックであり、周波数は互いに一致している。すなわち、図4に示

## 3

される例では、システム全体がクロック源11に同期して動作していることになる。

## 【0014】

【発明が解決しようとする課題】ところで、上述のシステムにおいては、接続するデータ機器3A、3Bからの送信データ(SD)のタイミングクロックとして、網側から供給されるクロック(ST2)とデータ機器接続ユニット2A、2Bから供給されるクロック(ST1)の2種類のものが使用されている。

【0015】そのうちクロック(ST2)の場合は、受信データ(RD)のタイミングクロック(RT)同様に、網のシステム全体のクロック源11に同期していることになる。この場合、送信データ(SD)と受信データ(RD)とは周波数の一致したタイミングクロックに同期して送受信されるために、データの過不足を生ずることはない。

【0016】これに対して、クロック(ST1)の場合、クロック源が送信の場合はデータ機器3A、3B内にあり、受信の場合はデータ機器接続ユニット2A、2B内にあるため、クロック源が異なっている。

【0017】例えばクロック源として水晶振動子を用いて公称データ伝送速度を同じとしても、クロック源が異なる場合には、両者間における実際の伝送速度には10-5~10-6程度の周波数のずれがある。

【0018】そのため、上述のクロック(ST1)を用いた伝送においては、データ機器3Aからデータ機器3Bまでに至る伝送経路中においてデータの過不足が生じてしまう。逆方向も同様な理由でデータの過不足が生じてくる。そして、このデータの過不足はデータ伝送エラーとなってしまおうと言う問題点があった。

【0019】本発明はこの問題点を除去し、伝送路網とのクロック源の違いによるデータ信号の過不足を無くし、誤りの無いデータ通信サービスを可能とするデータ機器接続ユニットを提供することを目的とする。

## 【0020】

【課題を解決するための手段】本発明は、デジタル化された伝送路網とデータ機器との間に介在されて、両者間のインタフェースとして機能するデータ機器接続ユニットにおいて、システムクロック源を持つ網からの下りデータ信号から該網への上りデータ信号の送信タイミングクロックを抽出する送信タイミングクロック抽出手段と、接続されているデータ機器のデータ伝送速度と網の伝送速度との速度変換を行う伝送速度変換手段と、自ユニット内のクロック源の出力を分周し、接続されているデータ機器の公称伝送速度の下りデータ信号受信タイミングクロックを作成すると共に、該受信タイミングクロックを前記公称伝送速度より僅かに早いもしくは遅いクロック周波数に変換する機能を有する受信タイミングクロック作成手段と、前記伝送速度変換手段内における下りデータ信号の蓄積量に応じて前記受信タイミングク

## 4

ロック作成手段の受信タイミングクロックを前記送信タイミングクロックに同期した周波数に変換制御する伝送速度変換制御手段とを具備することを特徴とする。

## 【0021】

【作用】本発明では、受信データ(RD)のタイミングクロック(RT)を、システム全体のクロック源ではなくて、対向するデータ機器接続ユニットに接続されているデータ機器からの送信データタイミングクロック(ST1)に同期させることによって、タイミングクロック周波数偏差を無くすようにしたものである。このような周波数偏差の無い受信タイミングクロックを得るために、従来、ユニット内のPLL回路から得られる伝送線上の下りデータ信号から抽出したシステムのクロック源の周波数情報を基にした同ユニット内の分周器の(N±1)分周可変制御していたものを、本発明では、ユニット内の伝送速度変換手段としてのバッファメモリの下りデータ基準蓄積量を判断基準とした同ユニット内の分周器のN±1分周可変による制御を採用し、この制御を例えばマイクロプロセッサによるプログラム制御とする構成としている。

【0022】具体的な制御として、本発明では、対向するデータ機器接続ユニットに接続されたデータ機器の送信タイミングクロック周波数を検出するための伝送速度変換手段(バッファメモリ)の下りデータ蓄積量を判断するのに、伝送線上のデータ信号を用いる。

【0023】そのため、対向するデータ機器接続ユニット間のデータ伝送は、HDL CフレームやBSC同期フレームのような伝送手順を用いることで、伝送線上のデータ信号を一定長のデータ信号ブロックに区切るようにする。

【0024】このデータブロック数のバッファメモリ内の蓄積量が増大して行くか、或いは減少して行くかを監視することで、相手側データ機器の送信タイミングクロック(ST1)が、バッファメモリから読みだして送信する下りタイミングクロック(RT)より速いか遅いかを判断する。

【0025】増大する場合は、下りタイミングクロック(RT)が速くなるように分周比をN-1分周に設定し、逆に減少する場合には、下りタイミングクロック(RT)が遅くなるように分周比をN+1分周に設定する。

【0026】この様にして、平均としてちょうど相手側データ機器の送信タイミングクロック(ST1)と周波数が一致する下りタイミングクロック(RT)が作成されることになる。

## 【0027】

【実施例】本発明に係るデータ機器接続ユニットを用いたデータ伝送システムの構成例を図1に示す。この例では、データ機器接続ユニット2C、2Dが本発明の実施例に相当する。なお、従来例と同一構成要素には同一の

番号を付して説明は省略する。

【0028】同図において、25はバッファメモリとシリアル伝送回路とから構成される伝送速度変換回路であり、26は分周器24の分周比を切り替えて下りデータタイミングクロック(RT)の周波数を可変制御する伝送速度可変回路である。

【0029】以下、図1を用いて本データ機器接続ユニットの動作を説明する。発振器23の周波数は伝送線12A、12B上のデータ伝送速度のM倍であり、PLL回路22はこれをM分周して伝送タイミングクロックを

作成している。  
【0030】発振器23とシステムのクロック源11とは前述したように $10^{-5} \sim 10^{-6}$ 程度周波数がずれており、これを微調するためにPLL回路22ではM-1、M、M+1分周と適宜分周比の切り替えを行っている。こうして、PLL回路22で作成されるクロックは、伝送線12A、12B上のデータ伝送速度に同期させられている。

【0031】このとき、伝送クロック速度の調整は、伝送線12A、12B上のデータ信号のマーク、スペース

の変化点を情報として分周比を切り替えることにより行われている。

【0032】一方、データ機器3A、3Bへの下りデータ伝送タイミングクロック(RT)は、発振器23からクロックを分周器24にてN分周することにより作成している。

【0033】そして、発振器23からM分周、N分周して得られたクロックは、それぞれ伝送速度変換回路25へのデータ信号送出タイミング/書き込みタイミング(網へ向けての上りデータ信号(SD)の場合)、データ信号書き込みタイミング/読出タイミング(網からの下りデータ信号(RD)の場合)として用いられる。

【0034】ここで、M、N分周の間には略 $M=kN$ の関係が成立している。ここで、両者が略等しいのは、M分周がPLL回路22によるもので、クロック源11に同期したものであるため、正確にM分周ではなく $10^{-5} \sim 10^{-6}$ 程度ずれているからである。

【0035】また、データ機器3A、3Bの送信タイミングクロック(ST1)は、システムとは独立したクロック源で動作しており、やはり $10^{-5} \sim 10^{-6}$ 程度ずれている。すなわち、これら伝送速度のずれが加算されて $2 \times 10^{-5} \sim 2 \times 10^{-6}$ 程度のずれとなっている。

【0036】データ機器3Aからデータ信号を受取り、伝送線12A上に乗せる場合は、伝送線12A上の伝送速度がデータ機器3Aの伝送速度よりk倍速いことから、僅かな速度のずれは全く問題とはならない。

【0037】しかし、データ機器接続ユニット2Bからデータ機器3Bへデータ信号を出力する場合には、再び伝送速度はタイミングクロック(RT)により元の伝送

速度にモードされるため、ここでのデータ信号の過不足が生じてくる。

【0038】この過不足は、 $(2 \times 10^{-5} \sim 2 \times 10^{-6}) / \text{データ通信速度 (bps)}$  秒に1ビットの割合で生ずる。

【0039】このように周波数が僅かにずれた状態を維持していると、伝送速度変換回路25内のバッファメモリに蓄積データが増加した場合、伝送遅延増加、すなわちオーバーフローエラーが生じ、逆にバッファメモリ内の蓄積データが減少した場合、アンダーフローエラーが生じてしまう。

【0040】そこで、分周器24での分周比Nを適宜 $N \pm 1$ に再設定し、 $2 \times 10^{-5} \sim 2 \times 10^{-6}$ 程度の周波数のずれではバッファメモリのオーバーフローやアンダーフローが生じないようにする。すなわち、N分周を公称伝送速度に対して例えば $10^{-3}$ 程度下りタイミングクロック(RT)の周波数のずれが生ずるように設定する。そして、定期的に分周比をプラス方向、マイナス方向にずれが生ずるように切替設定するように制御する。

【0041】例えば、発振器23として6.144MHz、M分周として96(伝送線2上は64kbps)、N分周として640(データ機器3A、3Bの送受信は9.6bps)に選ぶとする。N分周の調整幅を $\pm 1$ とした場合、公称周波数9.6kbpsに対して0.16%程ずれることになる。

【0042】この状態ではデータ機器3Aからデータ機器3Bにデータ信号が到達する間に、 $640 / 9600 = \text{約 } 67 \text{ ms}$ に1ビットの割合でデータ信号の過不足となる。このデータ信号の過不足を伝送速度変換回路25内のバッファメモリ蓄積量に基づいて判定し、分周器24の分周比を $N \pm 1$ に切り替えるように伝送速度可変回路26により制御を行う。

【0043】以下、伝送速度変換回路25の動作を図2を用いて説明する。伝送速度変換回路25は4つのシリアル伝送回路(SIO)251、254と2つのバッファメモリ255、256とから構成されている。

【0044】シリアル伝送回路251、252と送信バッファメモリ255はデータ機器3Aから網へ向けての上り方向速度変換動作を行い、シリアル伝送回路253、254と受信バッファメモリ256は網からデータ機器3Bへ向けての下り方向速度変換動作を行っている。図2では片方向の伝送についてのみ表示してあるが、逆方向も同様な構成となっている。

【0045】シリアル伝送回路251~254としては、例えばZilog社製Z80SIO、Intel社製i8051等の汎用のLSIを使用できる。

【0046】シリアル伝送回路251、254はキャラクタ同期モードで使用し、シリアル伝送回路251、253はHDL同期モードで使用する。

【0047】データ機器3Aからの送信データ(SD)はシリアル伝送回路251により逐次送信バッファメモリ255内に蓄えられている。

【0048】このとき、ある一定時間Tを区切りとして、この間に送信バッファメモリ255内に蓄えられたデータをデータブロックiを単位として読みだして、シリアル伝送回路252により伝送線12A上に送り出す。

【0049】伝送線12A上の伝送速度は送信データ(SD)より速いので、Tより短い期間tで送信が完了し、残りの時間はフラグパターンがidle信号として挿入されることとなる。

【0050】伝送線12Bから送られてきたデータブロックjはシリアル伝送回路253により逐次受信バッファメモリ256内に蓄えられて行く。蓄えられたデータは読み出されてシリアル伝送回路254により受信データ(RD)としてデータ機器3Bへ送り出される。

【0051】このとき、受信バッファメモリ256にデータブロックjが書き込まれているとき、データブロックj-2が読み出されるように制御する。

【0052】送信データタイミングクロック(ST1)と受信データ(RT)の周波数偏差によりデータブロックの書き込み/読みだしクロック差がずれてくるのを受信タイミングクロック(RT)の周波数可変により調整する。

【0053】以下に、マイクロプロセッサからなる伝送速度可変回路26の動作を図3のフローチャートを用いて説明する。なお、図3は受信タイミングクロック(RT)の周波数調整部分のサブルーチンを示すものである。

【0054】ステップ1にてシリアル伝送回路253の受信ステータスをリードし、ステップ2にてデータブロック単位jの受信が完了したかどうかをチェックする。これはHDL Cフレームのクローズフラグをシリアル伝送回路253が検出したかどうかを監視することにより行われる。

【0055】データブロック単位jの受信が完了している場合、続いてステップ3にて受信バッファメモリ256の現在読みだし中のブロックがどれであるかをチェックし、さらにステップ4にて読みだし中のブロックがj-1、j-2、j-3のどれであるかを判定する。

【0056】j-1のときは、受信タイミングクロック(RT)が対向するデータ機器3Aの送信タイミングクロック(ST1)より速いため、受信バッファメモリ256のデータ蓄積量が減少してきている。そのため、分周器24の分周比をN+1分周に設定を変更して受信タイミングクロック(RT)を速くする。これに対して、j-3のときは、逆に分周比をN-1分周に設定して受信タイミングクロック(RT)を遅くするように調整する。これらは、それぞれステップ5、6にて行われる。

【0057】j-2のときは、遅れ進みもないちょうどバランスのとれたデータ蓄積量であるため、現状の分周比(N+1またはN-1のどちらかである)を維持する。

【0058】ステップ2にてデータブロック単位jの受信が途中段階にあるとき、ステップ5、6にて分周比の変更を終了したとき、ステップ4にて遅れ進みもない状態と判断したときは、サブルーチン処理を終了してリターンする。

【0059】次に、このプログラム処理による受信データタイミングクロック(RT)周波数調整を前述の伝送速度の例で考察する。

【0060】データブロック長は伝送路網での遅延を考慮するとあまり大きくはとれない。4バイト程度を単位にとると、2ブロック長分の約6msの網内遅延となり、容認できるレベルといえる。このとき、67ms毎に1ビットのずれが生じているわけであるから、1ブロック長すなわち32ビット分ずれるまでには、2secを要し、十分マイクロプロセッサのプログラムで制御可能であることが確認できた。

【0061】

【発明の効果】以上説明したように、本発明によれば、対向するデータ機器接続ユニットに接続されているデータ機器からの送信データタイミングクロック(ST1)に受信タイミングクロック(RT)を同期させるようにしたことにより、周波数偏差を抑えることができる。これにより、伝送路網とのクロック源との違いによるデータ信号の過不足が生じたりすることはなく、誤りのないデータ通信サービスが提供できる。また、データ機器を接続する場合だけでなく、独立したクロック源が動作する例えばローカルエリアネットワーク(LAN)間をデジタル化された伝送路網に接続する場合にも、本発明のデータ機器接続ユニットを応用することができる。

【図面の簡単な説明】

【図1】本発明に係るデータ機器接続ユニットを用いたデジタル伝送路網のシステム構成例を示す図。

【図2】本発明のデータ機器接続ユニット内に設けられる伝送速度変換回路の詳細を示すブロック図。

【図3】本発明のデータ機器接続ユニット内に設けられる伝送速度可変回路の動作を説明するためのフローチャート。

【図4】従来のデータ機器接続ユニットを用いたデジタル伝送路網のシステム構成例を示す図。

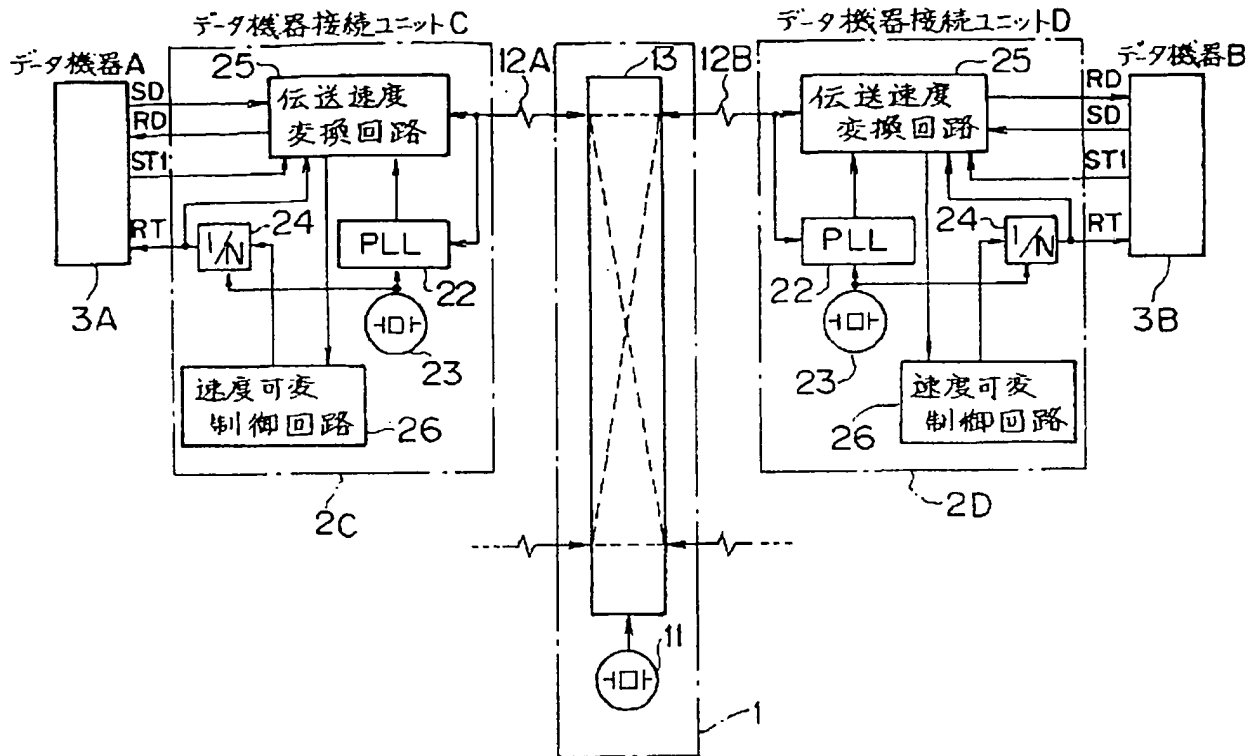
【符号の説明】

- 1 交換機
- 2 データ機器接続ユニット
- 3 データ機器
- 22 PLL回路
- 23 発振器
- 24 分周器

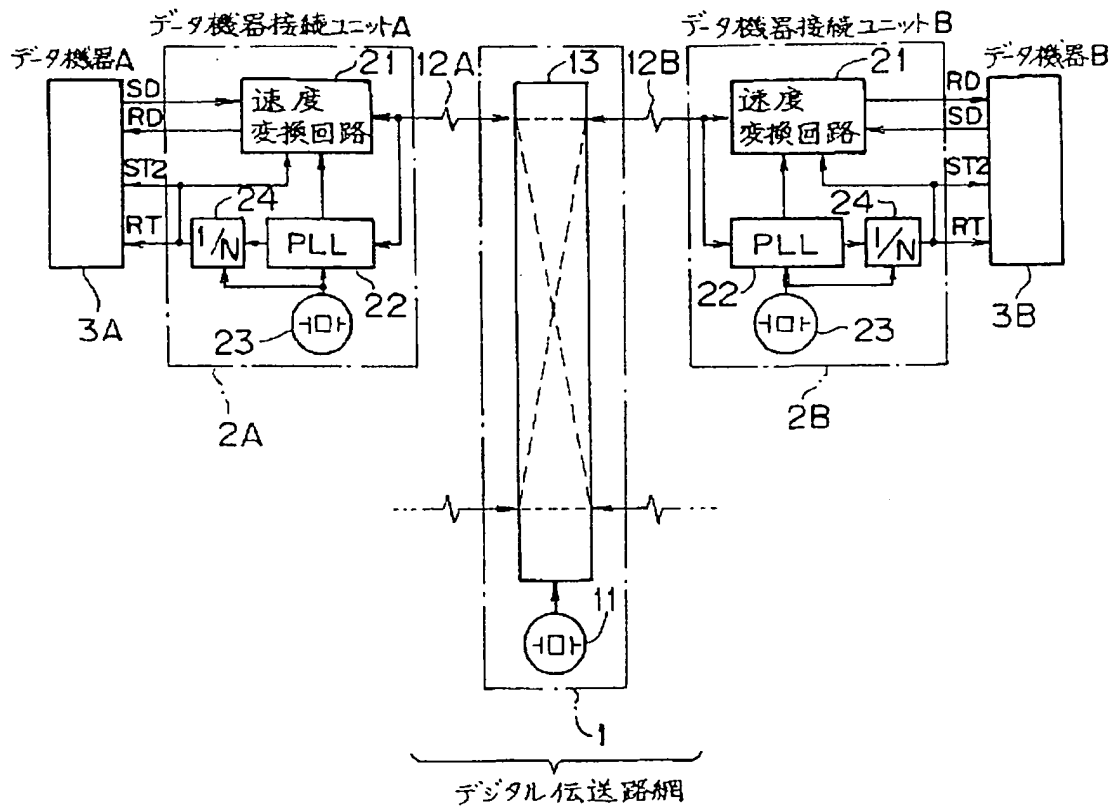
## 25 伝送速度変換回路

## 26 伝送速度可変回路

【図1】

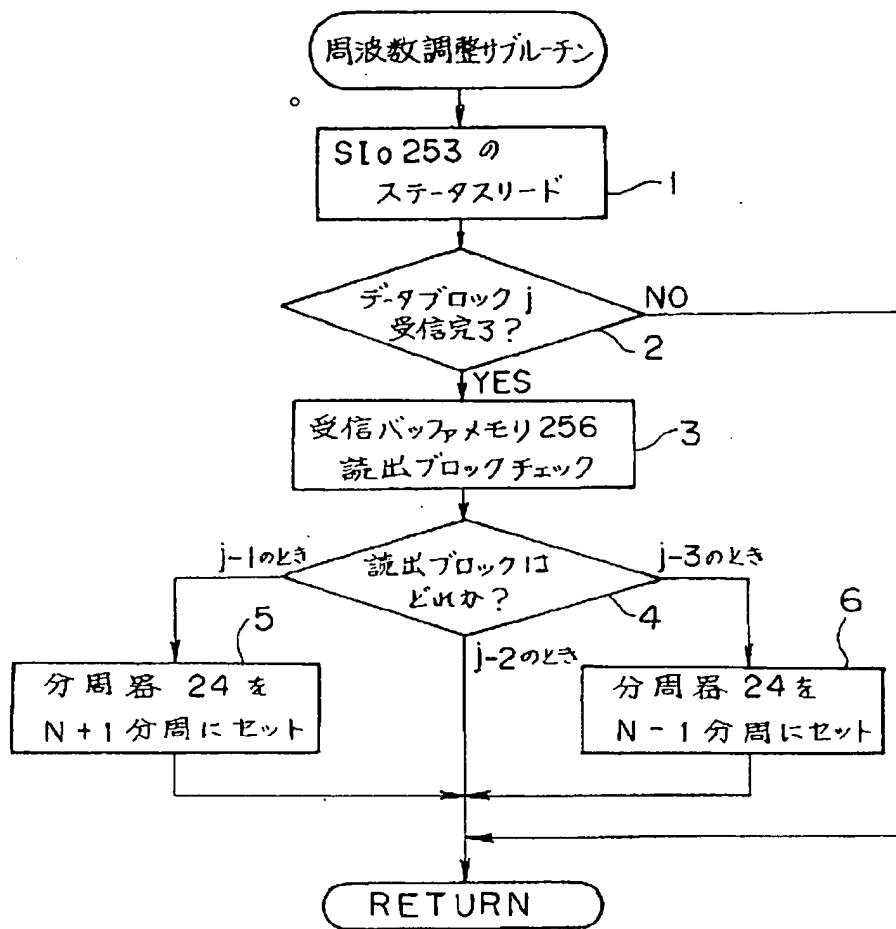


【図4】





【図3】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**